Εργαστήριο Τεχνολογίας & Αρχιτεκτονικής Υπολογιστών
Τομέας Υλικού & Αρχιτεκτονικής των Υπολογιστών
Τμήμα Μηχανικών Η/Υ & Πληροφορικής
Πολυτεχνική Σχολή - Πανεπιστήμιο Πατρών
https://tcal.ceid.upatras.gr

Θέματα Διπλωματικών Εργασιών

Ακαδημαϊκό Έτος 2026–2027

ΘΕΜΑ ΔΙΠΛΩΜΑΤΙΚΗΣ

1

Σχεδίαση και Αξιολόγηση Μετατοπιστή Στάθμης Τάσης (Level Shifter) Χαμηλής Κατανάλωσης με Τεχνική Time-Borrowing Latch

Design and Evaluation of a Low-Voltage Level Shifter Employing Time-Borrowing Latch Technique

Λέξεις κλειδιά: Voltage Level Shifter · Sub-Threshold Logic · Time-Borrowing Latch · Low Power Design

ΠΕΡΙΓΡΑΦΗ / ΑΝΤΙΚΕΙΜΕΝΟ

Στα σύγχρονα Systems-on-Chip (SoCs) χαμηλής κατανάλωσης (όπως συσκευές IoT, wearable ηλεκτρονικά κλπ), χρησιμοποιούνται πολλαπλές περιοχές τάσης τροφοδοσίας. Τα υπολογιστικά blocks λειτουργούν σε περιοχή τάσης κάτω του κατωφλίου (sub-threshold region, π.χ. 0.2V–0.4V) για την ελαχιστοποίηση της κατανάλωσης ενέργειας, ενώ τα περιφερειακά κυκλώματα απαιτούν υψηλότερη τάση (π.χ. 1.2V–1.8V). Οι μετατοπιστές στάθμης τάσης (Voltage Level Shifters) είναι κρίσιμα κυκλώματα διεπαφής που μετατρέπουν τα σήματα χαμηλής τάσης σε υψηλή τάση. Ωστόσο, όταν η τάση εισόδου είναι πολύ χαμηλή, οι παραδοσιακοί Level Shifters υποφέρουν από ισχυρά ρεύματα αντιπαράθεσης (contention currents) μεταξύ των pull-up και pull-down δικτύων, προκαλώντας μεγάλες καθυστερήσεις, αποτυχία μεταγωγής και αυξημένη στατική κατανάλωση. Αντικείμενο της παρούσας διπλωματικής εργασίας είναι η σχεδίαση και η προσομοίωση σε επίπεδο τρανζίστορ (schematic level) στο περιβάλλον Cadence Virtuoso ενός Level Shifter βασισμένου στην τεχνική Time-Borrowing Latch. Έπειτα θα ακολουθήσει εκτεταμένη αξιολόγηση της καθυστέρησης, της κατανάλωσης ισχύος και της ευρωστίας του κυκλώματος.

ΣΤΟΧΟΙ

1. Μελέτη των βασικών τοπολογιών Level Shifters.
2. Ανάλυση του προβλήματος στη sub-threshold περιοχή.
3. Σχεδίαση στο Cadence Virtuoso ενός Level Shifter σε προηγμένο τεχνολογικό κόμβο με ενσωματωμένη τεχνική Time-Borrowing Latch.
4. Βελτιστοποίηση των διαστάσεων των τρανζίστορ (Transistor Sizing / W/L ratios) για την επίτευξη χαμήλης καθυστέρησης και καταλάνωσης ισχύος.
5. Εκτέλεση μεταβατικών προσομοιώσεων (Transient Simulations) στο Cadence Spectre για ευρύ φάσμα τάσεων εισόδου και συχνοτήτων.
6. Ανάλυση ευρωστίας και αξιολόγηση της λειτουργίας του κυκλώματος υπό την επίδραση κατασκευαστικών διακυμάνσεων (Process Variations) και θερμοκρασίας.

ΕΝΔΕΙΚΤΙΚΗ ΒΙΒΛΙΟΓΡΑΦΙΑ

[1] C. Wang et al., ”An Ultra Low Voltage Energy Efficient Level Shifter With Current Limiter and Improved Split-Controlled Inverter,” in IEEE Transactions on Circuits and Systems II: Express Briefs,2024.

[2] C. Wang et al., ”An Ultra-Low-Voltage Level Shifter With Embedded Re-Configurable Logic and Time-Borrowing Latch Technique,” in IEEE Access, 2021.

[3] N. H. E. Weste and D. M. Harris, ”CMOS VLSI Design: A Circuits and Systems Perspective,” 4th ed., Pearson, 2011.

[4] R. Kumar et al., ”GLASS-LS: Glitch-Free, Leakage-Aware, Soa-Safe, Wide-Range Level Shifter for Low-Power SoCs,” in 2026 9th International Conference on Circuits, Systems and Simulation (ICCSS), 2026.

[5] B. S. Swaroop et al., ”PVT Analysis of Current Mirror-Based Level Shifter with Different Transistor Sizings”, in 2026 2nd International Conference on Ambient Intelligence, Knowledge Informatics and Industrial Electronics (AIKIIE), 2026.

ΣΧΕΤΙΚΑ ΜΑΘΗΜΑΤΑ

- **Βασικές Αρχές Οργάνωσης και Λειτουργίας Υπολογιστικών Συστημάτων** (CEID_22Y104)
- **Λογική Σχεδίαση** (CEID_23Y107)
- **Ηλεκτρικά Κυκλώματα** (CEID_22Y108)
- **Αναλογικά και Ψηφιακά Ηλεκτρονικά** (CEID_23Y208)

ΕΠΙΒΛΕΠΟΥΣΑ

Μαριλένα Δούναβη, Ε.ΔΙ.Π

ΘΕΜΑ ΔΙΠΛΩΜΑΤΙΚΗΣ

2

Σχεδίαση και Αξιολόγηση Κυκλωμάτων 8T-SRAM PUF με Αντοχή στη Γήρανση και Δυνατότητα Ενσωματωμένων Υπολογισμών (IMC)

Design and Evaluation of Aging-Resistant 8T-SRAM PUF Circuits with IMC Capability

Λέξεις κλειδιά: Physical Unclonable Functions (PUF) · 8T-SRAM Memory · In-Memory Computing (IMC) · Aging-Resistance · Hardware Security

ΠΕΡΙΓΡΑΦΗ / ΑΝΤΙΚΕΙΜΕΝΟ

Οι Φυσικά μη Κλωνοποιήσιμες Συναρτήσεις (Physical Unclonable Functions - PUFs) βασισμένες σε μνήμες SRAM αποτελούν θεμελιώδη δομικά στοιχεία ασφάλειας υλικού (hardware security) για την παραγωγή μοναδικών κρυπτογραφικών κλειδιών και την αυθεντικοποίηση συσκευών, εκμεταλλευόμενες τις τυχαίες διακυμάνσεις της κατασκευαστικής διαδικασίας (process variations). Παράλληλα, οι αρχιτεκτονικές Ενσωματωμένου Υπολογισμού στη Μνήμη (In-Memory Computing - IMC) με κελιά 8T-SRAM επιτρέπουν την παράλληλη εκτέλεση υπολογιστικών πράξεων (λογικών ή/και αριθμητικών) απευθείας εντός της μνήμης. Ωστόσο, η μακρόχρονη λειτουργία των τρανζίστορ προκαλεί φαινόμενα γήρανσης (κυρίως Bias Temperature Instability - BTI και Hot Carrier Injection - HCI), τα οποία μεταβάλλουν την τάση κατωφλίου (Vth) των τρανζίστορ. Η μεταβολή αυτή αλλοιώνει τη φυσική ασυμμετρία των κελιών, προκαλώντας bit-flips και μειώνοντας δραστικά την αξιοπιστία (reliability) της απόκρισης του PUF στο χρόνο. Αντικείμενο της παρούσας διπλωματικής εργασίας είναι η σχεδίαση και η αξιολόγηση μιας αρχιτεκτονικής 8T-SRAM PUF με δυνατότητα IMC σε περιβάλλον Cadence Virtuoso/Spectre, η οποία ενσωματώνει τεχνικές αντοχής στη γήρανση (aging-resistance). Η μελέτη εστιάζει στην εισαγωγή μηχανισμών αντιστάθμισης της γήρανσης χωρίς να επηρεάζονται ή να διαγράφονται τα αποθηκευμένα δεδομένα που χρησιμοποιούνται για τις υπολογιστικές λειτουργίες IMC.

ΣΤΟΧΟΙ

1. Μελέτη της βασικής αρχιτεκτονικής 8T-SRAM IMC PUF.
2. Κατανόηση των μηχανισμών γήρανσης BTI/HCI σε επίπεδο τρανζίστορ.
3. Σχεδίαση του κυκλώματος 8T-SRAM array και όλων των περιφερειακών κυκλωμάτων σε επίπεδο σχηματικού (schematic design) στο Cadence Virtuoso.
4. Προσομοίωση της επίδρασης των διακυμάνσεων διεργασίας (Process Variations), της τάσης τροφοδοσίας (Vdd) και της θερμοκρασίας μέσω εκτεταμένων προσομοιώσεων Monte Carlo στο Cadence Spectre.
5. Εισαγωγή μοντέλων γήρανσης (Vth-shift) και ποσοτικός προσδιορισμός της υποβάθμισης των μετρικών αξιοπιστίας (Reliability) και του Bit Error Rate (BER) του PUF.
6. Μελέτη μηχανισμού αντιστάθμισης γήρανσης (Aging-Resistant technique) για τη διατήρηση υψηλής αξιοπιστίας χωρίς την απώλεια των αποθηκευμένων δεδομένων IMC.

ΕΝΔΕΙΚΤΙΚΗ ΒΙΒΛΙΟΓΡΑΦΙΑ

[1] B. Halak, ”Physically Unclonable Functions: From Basic Design Principles to Advanced Hardware Security Applications,” Springer, 2018.

[2] N. H. E. Weste and D. M. Harris, ”CMOS VLSI Design: A Circuits and Systems Perspective,” 4th ed., Pearson, 2011.

[3] J. -W. Nam et al., ”Compact SRAM-Based PUF Chip Employing Body Voltage Control Technique,” in IEEE Access, 2022.

[4] A. Santana-Andreo et al., ”Reliability improvement of SRAM PUFs based on a detailed experimental study into the stochastic effects of aging,” International Journal of Electronics and Communications, 2024.

ΣΧΕΤΙΚΑ ΜΑΘΗΜΑΤΑ

- **Βασικές Αρχές Οργάνωσης και Λειτουργίας Υπολογιστικών Συστημάτων** (CEID_22Y104)
- **Λογική Σχεδίαση** (CEID_23Y107)
- **Ηλεκτρικά Κυκλώματα** (CEID_22Y108)
- **Αναλογικά και Ψηφιακά Ηλεκτρονικά** (CEID_23Y208)

ΕΠΙΒΛΕΠΟΥΣΑ

Μαριλένα Δούναβη, Ε.ΔΙ.Π

ΘΕΜΑ ΔΙΠΛΩΜΑΤΙΚΗΣ

3

Σχεδίαση Ενσωματωμένου Κυκλώματος για την Ανίχνευση Σφαλμάτων Αντίστασης και Καθυστέρησης σε Μνήμες SRAM

Design of On-Chip Circuit for Resistive-Open and Delay Faults in SRAM Arrays

Λέξεις κλειδιά: SRAM Memory · Resistive-Open Faults · Delay Faults · Integrated Circuit Testing

ΠΕΡΙΓΡΑΦΗ / ΑΝΤΙΚΕΙΜΕΝΟ

Στις σύγχρονες CMOS τεχνολογίες, οι κατασκευαστικές ατέλειες στις γραμμές διασύνδεσης των SRAM μνημών (όπως μικρο-ρωγμές στα μεταλλικά στρώματα ή ατελείς επαφές) εκδηλώνονται ως ανοικτοκυκλώσεις με παρασιτική αντίσταση (resistive-open defects). Οι ατέλειες αυτές δεν προκαλούν άμεσο ολικό σφάλμα (hard fault) στη λειτουργία της μνήμης, αλλά εισάγουν πρόσθετες καθυστερήσεις RC (delay faults) κατά τις λειτουργίες εγγραφής και ανάγνωσης (Read/Write operations). Έτσι, ενώ υπό κανονικές συνθήκες λειτουργίας και συχνότητας η μνήμη ενδέχεται να λειτουργεί οριακά σωστά, τείνει να αποτυγχάνει υπό συνθήκες υψηλής συχνότητας ή μεταβολών τάσης και θερμοκρασίας. Αντικείμενο της παρούσας διπλωματικής εργασίας είναι η σχεδίαση σε επίπεδο τρανζίστορ (schematic level) στο περιβάλλον Cadence Virtuoso ενός ενσωματωμένου κυκλώματος για την ανίχνευση resistive-open defects στις γραμμές των πινάκων μνήμης SRAM. Η μελέτη εστιάζει στην εισαγωγή μηχανισμών ελεγχόμενου χρονισμού ή/και προσαρμοστικών κυκλωμάτων οδήγησης, οι οποίοι παράγουν κατάλληλους παλμούς δοκιμής (test pulses) ώστε να αποκαλύπτουν τις καθυστερήσεις που προκαλούνται από τις παρασιτικές αντιστάσεις $R_open/(PASS/FAIL)$.

ΣΤΟΧΟΙ

1. Μελέτη της βασικής αρχιτεκτονικής μιας SRAM μνήμης.
2. Μελέτη των μοντέλων σφαλμάτων (fault modeling) λόγω παρασιτικών αντιστάσεων Ropen σε αρχιτεκτονικές μνημών SRAM (6T/8T) .
3. Σχεδίαση του πίνακα μνήμης SRAM και εισαγωγή παρασιτικών αντιστάσεων Ropen διαφορετικών τιμών σε κρίσιμους κόμβους στο Cadence Virtuoso.
4. Σχεδίαση του κυκλώματος δοκιμής για την παραγωγή παλμών ελέγχου και την αξιολόγηση της τάσης/καθυστέρησης των γραμμών.
5. Εκτέλεση εκτεταμένων μεταβατικών προσομοιώσεων (Transient Analysis) στο Cadence Spectre για τον καθορισμό του ελάχιστου ορίου αντίστασης Ropen (defect coverage) που μπορεί να ανιχνεύσει το κύκλωμα.
6. Αξιολόγηση της συμπεριφοράς του κυκλώματος υπό την επίδραση διακυμάνσεων διεργασίας (Process Variations), τάσης τροφοδοσίας και θερμοκρασίας.

ΕΝΔΕΙΚΤΙΚΗ ΒΙΒΛΙΟΓΡΑΦΙΑ

[1] A. Bosio, L. Dilillo et al., ”Fault modeling and testing of resistive nonvolatile-8T SRAMs,” in IEEE VLSI Test Symposium (VTS), 2016.

[2] E. I. Vatajelu et al., ”Analyzing resistive-open defects in SRAM core-cell under the effect of process variability,” in IEEE European Test Symposium (ETS), 2013.

[3] M. T. Martins et al., ”Analyzing NBTI impact on SRAMs with resistive-open defects,” in 2016 17th Latin-American Test Symposium (LATS), 2016.

[4] L. Ammoura et al., ”Intra-cell Resistive-Open Defect Analysis on a Foundry 8T SRAM-based IMC Architecture,” in 2023 IEEE European Test Symposium (ETS), 2023.

ΣΧΕΤΙΚΑ ΜΑΘΗΜΑΤΑ

- **Βασικές Αρχές Οργάνωσης και Λειτουργίας Υπολογιστικών Συστημάτων** (CEID_22Y104)
- **Λογική Σχεδίαση** (CEID_23Y107)
- **Ηλεκτρικά Κυκλώματα** (CEID_22Y108)
- **Αναλογικά και Ψηφιακά Ηλεκτρονικά** (CEID_23Y208)

ΕΠΙΒΛΕΠΟΥΣΑ

Μαριλένα Δούναβη, Ε.ΔΙ.Π